

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representation of
The original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of :

Shinji OHUCHI et al. :

Serial No.: [NEW] :

Attn: Applications Branch

Filed: May 11, 2001 :

Attorney Docket No.: OKI.234



#2
Priority
paper
8-13-01
R. Stokes

For: SEMICONDUCTOR DEVICE, MANUFACTURING METHOD OF
SEMICONDUCTOR DEVICE, STACK TYPE SEMICONDUCTOR DEVICE, AND
MANUFACTURING METHOD OF STACK TYPE SEMICONDUCTOR DEVICE

CLAIM OF PRIORITY

Honorable Assistant Commissioner for Patents and Trademarks,
Washington, D.C. 20231

Sir:

Applicants, in the above-identified application, hereby claim the priority date
under the International Convention of the following Japanese application:

Appln. No. 2000-274813

filed September 11, 2000

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

JONES VOLENTINE, PLLC


Adam C. Volentine
Registration No. 33,289

12200 Sunrise Valley Drive, Suite 150
Reston, Virginia 20191
Tel. (703) 715-0870
Fax. (703) 715-0877

Date: May 11, 2001

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

JC978 U.S. PTO
09/852847
05/11/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2000年 9月11日

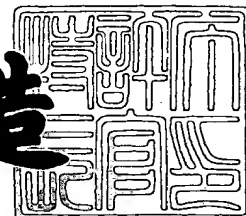
出 願 番 号
Application Number: 特願2000-274813

出 願 人
Applicant (s): 沖電気工業株式会社

2000年10月27日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2000-3088165

【書類名】 特許願

【整理番号】 KT000296

【提出日】 平成12年 9月11日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 H01L 23/12
H01L 21/301
H01L 21/56

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会
社内

【氏名】 大内 伸仁

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会
社内

【氏名】 白石 靖

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会
社内

【氏名】 田中 康雄

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【代理人】

【識別番号】 100095957

【弁理士】

【氏名又は名称】 亀谷 美明

【電話番号】 03-3226-6631

【選任した代理人】

【識別番号】 100096389

【弁理士】

【氏名又は名称】 金本 哲男

【電話番号】 03-3226-6631

【選任した代理人】

【識別番号】 100101557

【弁理士】

【氏名又は名称】 萩原 康司

【電話番号】 03-3226-6631

【選任した代理人】

【識別番号】 100096091

【弁理士】

【氏名又は名称】 井上 誠一

【電話番号】 03-3226-6631

【手数料の表示】

【予納台帳番号】 040224

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9707549

【包括委任状番号】 9707550

【包括委任状番号】 9707551

【包括委任状番号】 0001436

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置、半導体装置の製造方法、スタック型半導体装置及びスタック型半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 回路形成面に複数の電極を有する半導体素子と、少なくとも前記回路形成面に形成され、その一端が前記電極と接続される配線と、前記配線と接続された突起電極と、前記突起電極の表面を露出させて前記半導体素子の回路形成面を封止する樹脂封止と、前記樹脂から露出している前記突起電極上の表面にボール電極が形成される半導体装置であって、

前記配線の一部は、さらに前記半導体素子の側面にも形成され、かつ、前記突起電極は、前記突起電極の側面が前記半導体素子の側面に形成された前記配線と略同一面上になるように形成されると共に、

前記ボール電極の少なくとも一部は、前記半導体素子側面の前記配線と電氣的に接続するように形成されており、及び、

前記半導体素子側面は、前記配線を露出させて樹脂封止されると共に、前記回路形成面の対向面は、前記半導体素子側面に形成された前記配線端面を含む全面が樹脂封止される、

ことを特徴とする半導体装置。

【請求項 2】 回路形成面に複数の電極を有する半導体素子と、少なくとも前記回路形成面に形成され、その一端が前記電極と接続される配線と、前記配線と接続された突起電極と、前記突起電極の表面を露出させて前記半導体素子の回路形成面を封止する樹脂封止と、前記樹脂から露出している前記突起電極上の表面にボール電極が形成される半導体装置であって、

前記配線の一部は、さらに前記半導体素子の側面にも形成され、かつ、前記突起電極は、前記突起電極の側面が前記半導体素子の側面に形成された前記配線と略同一面上になるように形成されると共に、

前記ボール電極の少なくとも一部は、前記半導体素子側面の前記配線と電氣的に接続するように形成されており、及び、

前記半導体素子側面は、前記配線を露出させて樹脂封止されると共に、前記回

路形成面の対向面は、前記半導体素子側面に形成された前記配線端面以外の面のみが樹脂封止される、

ことを特徴とする半導体装置。

【請求項 3】 所定の回路が形成された複数の半導体素子の領域を有する半導体ウェハにおいて、前記半導体素子の回路形成面の境界領域に所定深さの略凹部溝を形成する工程と、

前記略凹部溝の側面及び前記回路形成面の所定領域に絶縁層を形成する工程と

前記略凹部溝内部の全表面を含む前記回路形成面の所定領域に配線を形成する工程と、

前記配線が形成された略凹部溝内部を含む境界領域上に所定高さの突起電極を形成する工程と、

前記突起電極の表面が露出するように、前記回路形成面を樹脂封止する工程と

前記半導体ウェハの前記回路形成面の対向面を研磨して、前記対向面から前記略凹部溝を露出させる工程と、

前記露出した略凹部溝側面に形成される配線の端部を含む前記半導体ウェハの前記回路形成面の対向面を全面樹脂封止する工程と、

前記突起電極上に、ボール電極を形成する工程と、

前記半導体ウェハを前記露出した略凹部溝に沿って切断し、その側面に前記ボール電極、前記突起電極及び前記配線が露出する、複数の半導体装置を形成する工程と、

前記分割された半導体装置を所定温度で熱処理して、前記突起電極上に形成されている前記ボール電極の一部を前記半導体素子側面の前記配線上に形成する工程と、

を有することを特徴とする半導体装置の製造方法。

【請求項 4】 前記半導体ウェハの前記回路形成面の対向面の全面を樹脂封止する工程と、前記突起電極上にボール電極を形成する工程との間には、

さらに、前記対向面から、前記露出した略凹部溝内に形成された樹脂を除去す

る工程と、

を有することを特徴とする請求項 3 に記載の半導体装置の製造方法

【請求項 5】 前記対向面から、前記露出した略凹部溝内に形成された樹脂を除去する工程は、レーザを使用して前記樹脂を除去する工程である、

ことを特徴とする、請求項 4 に記載の半導体装置の製造方法。

【請求項 6】 複数のボール電極を有する第 2 の半導体装置上に、その回路形成面の対向面が接触面となるように前記請求項 1 あるいは請求項 2 に記載の半導体装置が搭載されており、

前記請求項 1 あるいは請求項 2 に記載の半導体装置の突起電極及び前記半導体装置側面の配線は、前記ボール電極を介して前記第 2 の半導体装置の電極と接続されることを特徴とするスタック型半導体装置。

【請求項 7】 前記第 2 の半導体装置上に搭載された前記請求項 1 あるいは請求項 2 に記載の半導体装置上には、さらに、1 又は 2 以上の前記請求項 1 あるいは請求項 2 に記載の半導体装置が搭載されており、

前記請求項 1 あるいは請求項 2 に記載の半導体装置の前記突起電極及び前記半導体装置側面の配線は、互いに、前記ボール電極を介して接続される、

ことを特徴とする請求項 6 に記載のスタック型半導体装置。

【請求項 8】 他の半導体装置と電気的に接続するためのボール電極を有する第 2 の半導体装置上に、前記第 2 の半導体装置の前記ボール電極と前記請求項 1 あるいは請求項 2 に記載の半導体装置の側面に形成された再配線が略同一位置となるように、その回路形成面の対向面を接触面として、前記請求項 1 あるいは請求項 2 に記載の半導体装置を積載する工程と、

前記請求項 1 あるいは請求項 2 に記載の半導体装置を積載した第 2 の半導体装置を所定温度で熱処理して、前記請求項 1 あるいは請求項 2 に記載の半導体装置の前記突起電極及び前記半導体装置の側面に形成された配線を、前記ボール電極を介して、前記第 2 の半導体装置と接続する工程と、

を有することを特徴とするスタック型半導体装置の製造方法。

【請求項 9】 他の半導体装置と電気的に接続するためのボール電極を有する第 2 の半導体装置上に、前記第 2 の半導体装置の前記ボール電極と前記請求項

1 あるいは請求項 2 に記載の半導体装置の側面に形成された再配線が略同一位置となるように、その回路形成面の対向面を接触面として、前記請求項 1 あるいは請求項 2 に記載の半導体装置を積載する工程と、

前記第 2 の半導体装置上に積載された前記請求項 1 あるいは請求項 2 に記載の半導体装置上に、さらに、前記請求項 1 あるいは請求項 2 に記載の半導体装置の側面に形成された再配線が略同一位置となるように、その回路形成面の対向面を接触面として、1 または 2 以上の前記請求項 1 あるいは請求項 2 に記載の半導体装置を順次積載する工程と、

前記複数の請求項 1 あるいは請求項 2 に記載の半導体装置を積載した前記第 2 の半導体装置を所定温度で熱処理して、前記請求項 1 あるいは請求項 2 に記載の半導体装置の前記突起電極及び前記半導体装置の側面に形成された配線を、ボール電極を介して、前記第 2 の半導体装置及び前記請求項 1 あるいは請求項 2 に記載の半導体装置を相互に接続する工程と、

を有することを特徴とするスタック型半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置、半導体装置の製造方法、スタック型半導体装置及びスタック型半導体装置の製造方法に関する。

【0002】

【従来の技術】

近年においては、携帯型電子機器の急速な普及に伴って、携帯型機器に搭載される樹脂封止型半導体装置も薄型、小型、軽量のものが要求されている。かかる要求に応えるため、チップサイズパッケージと称される高密度実装用の半導体装置が開発されている。

【0003】

かかるチップサイズパッケージの構成を、図 2 1 及び図 2 2 を参照しながら説明する。なお、図 2 1 は、従来の半導体装置の構造を示す断面図である。図 2 2 は、従来の半導体装置の構造を示す上面図である。

【 0 0 0 4 】

従来の半導体装置は、図 2 1 及び図 2 2 に示すように、半導体素子 6 0 1 上に例えば A 1 電極からなる電極パッド 6 0 6 が形成され、電極パッド 6 0 6 に電氣的に接続するように C u 再配線 6 0 4 が形成される。さらに、この C u 再配線 6 0 4 は、例えば約 1 0 0 μ m 高さの C u ポスト（突起電極） 6 0 2 と電氣的に接続される。半導体素子 6 0 1 及び C u ポスト 6 0 2 は樹脂 6 0 5 により封止されており、C u ポスト 6 0 2 の表面は露出している。この露出した C u ポスト 6 0 2 の表面には、はんだボール 6 0 3 などの金属電極（ボール電極）が形成されている。

【 0 0 0 5 】

かかる従来の半導体装置の製造方法を図 2 3 及び図 2 4 に基づいて説明する。なお、図 2 3 は、従来の半導体装置の製造方法を説明するための工程断面図である。図 2 4 は、従来の半導体装置の製造方法を説明するための工程断面図である。

【 0 0 0 6 】

まず、図 2 3 （a）に示すように、半導体素子 6 0 1 上に電極パッドを 6 0 6 を形成し、さらに電極パッド 6 0 6 を含む半導体素子 6 0 1 上に、酸化膜 6 1 3、絶縁層 6 1 0 を形成する。さらに、所定のエッチング法により、電極パッド 6 0 6 上の酸化膜 6 1 3、絶縁層 6 1 0 を除去して開口部 6 1 4 を形成する。

【 0 0 0 7 】

次いで、図 2 3 （b）に示すように、電極パッド 6 0 6 の開口部 6 1 4 を含む絶縁層 6 1 0 全表面に金属膜 6 1 2 を形成する。次いで、図 2 3 （c）に示すように、金属膜 6 1 2 上に、例えば C u 再配線 6 0 4 を形成する。さらに、図 2 3 （d）に示すように、絶縁層 6 1 0 上に形成された C u 再配線 6 0 4 上の所定位置に、C u ポスト 6 0 2 を形成する。その後、図 2 3 （e）に示すように、不要な金属膜 6 1 2 を除去する。

【 0 0 0 8 】

このようにして形成された C u ポスト 6 0 2 は、図 2 4 （a）に示すように、半導体素子 6 0 1 上に、所定間隔で複数の C u ポスト 6 0 2 が形成されている。

【 0 0 0 9 】

さらに、図 2 4 (b) に示すように、半導体素子 6 0 1 上に形成された C u ポスト 6 0 2 の全面を覆うように樹脂 6 0 5 により封止される。さらに、図 2 4 (c) に示すように、研磨剤 6 0 7 により樹脂 6 0 5 の表面を研磨して、 C u ポスト 6 0 2 の表面を露出させる。

【 0 0 1 0 】

次いで、図 2 4 (d) に示すように、露出した各 C u ポスト 6 0 2 表面上に半田ボール 6 0 3 を形成して端子を形成する。さらに、図 2 4 (e) に示すように、切断刃 6 0 8 により、半導体ウェハを切断部 6 0 9 で切断して、個片化する。

【 0 0 1 1 】

このように、従来においては、複数の半導体素子 6 0 1 が形成されている半導体ウェハをウェハの状態処理してから、ダイシングより半導体ウェハが個片化されて、複数の半導体装置が作製される。このように作製された半導体装置は、半導体素子 6 0 1 に極めて大きさが近いものとなる。

【 0 0 1 2 】

かかる従来の半導体装置で高密度実装を実現するためには、図 2 5 に示すように、他の半導体装置の同一平面上に複数の半導体装置が実装される。このように、複数の半導体装置を搭載する理由として、一つの半導体素子上に異なる機能を形成できないことが挙げられる。即ち、例えばメモリプロセスとロジックプロセスなどの半導体素子は、それぞれ半導体素子の製造工程が異なるため、各半導体素子を別々に製造して他の半導体基板に実装するという方法が、一般的に行われる。

【 0 0 1 3 】

【発明が解決しようとする課題】

しかしながら、従来においては、複数の半導体装置が他の半導体装置の同一平面上に実装されるので、搭載される半導体装置が増加するにしたがって、高密度実装された半導体装置の面積も増大するという問題があった。例えば、図 2 5 に示すように、2 つの半導体装置を他の半導体装置の同一平面上に実装した場合には、搭載した半導体装置の 2 つ分の面積が必要となる。

【 0 0 1 4 】

従って、本発明の目的は、上記課題を解決するために案出されたもので、面積を増大させることなく、機能の異なる半導体装置を混載することが可能な新規かつ改良された半導体装置及びその製造方法等を提供することにある。

【 0 0 1 5 】

【課題を解決するための手段】

上記課題を解決するため、請求項 1 に記載の発明では、回路形成面に複数の電極を有する半導体素子と、少なくとも前記回路形成面に形成され、その一端が前記電極と接続される配線と、前記配線と接続された突起電極と、前記突起電極の表面を露出させて前記半導体素子の回路形成面を封止する樹脂封止と、前記樹脂から露出している前記突起電極上の表面にボール電極が形成される半導体装置であって、前記配線の一部は、さらに前記半導体素子の側面にも形成され、かつ、前記突起電極は、前記突起電極の側面が前記半導体素子の側面に形成された前記配線と略同一面上になるように形成されると共に、前記ボール電極の少なくとも一部は、前記半導体素子側面の前記配線と電氣的に接続するように形成されており、及び、前記半導体素子側面は、前記配線を露出させて樹脂封止されると共に、前記回路形成面の対向面は、前記半導体素子側面に形成された前記配線端面を含む全面が樹脂封止される、ことを特徴とする半導体装置が提供される。

【 0 0 1 6 】

本項記載の発明では、半導体装置には、半導体素子の側面に配線の一部が形成され、かかる配線と略同一面上に突起電極が形成されると共に、半導体素子の裏面が樹脂封止されている。この結果、半導体素子の裏面に形成される樹脂（例えば厚さ 50 μ m 程度）を隔て、配線及び突起電極を電極端子としてはんだボールを介して他の半導体装置と電氣的に接続して、複数の半導体装置を縦型に搭載することができる。このように、複数の半導体装置を縦型に高密度実装するための半導体装置を提供することができる。

【 0 0 1 7 】

また、上記課題を解決するため、請求項 2 に記載の発明では、回路形成面に複数の電極を有する半導体素子と、少なくとも前記回路形成面に形成され、その一

端が前記電極と接続される配線と、前記配線と接続された突起電極と、前記突起電極の表面を露出させて前記半導体素子の回路形成面を封止する樹脂封止と、前記樹脂から露出している前記突起電極上の表面にボール電極が形成される半導体装置であって、前記配線の一部は、さらに前記半導体素子の側面にも形成され、かつ、前記突起電極は、前記突起電極の側面が前記半導体素子の側面に形成された前記配線と略同一面上になるように形成されると共に、前記ボール電極の少なくとも一部は、前記半導体素子側面の前記配線と電氣的に接続するように形成されており、及び、前記半導体素子側面は、前記配線を露出させて樹脂封止されると共に、前記回路形成面の対向面は、前記半導体素子側面に形成された前記配線端面以外の面のみが樹脂封止される、ことを特徴とする半導体装置が提供される。

【 0 0 1 8 】

本項記載の発明では、半導体装置には、半導体素子の側面に配線の一部が形成され、かかる配線と略同一面上に突起電極が形成されると共に、半導体素子の裏面が樹脂封止されている。この結果、半導体素子の裏面に形成される樹脂（例えば厚さ $50\ \mu\text{m}$ 程度）を隔て、配線及び突起電極を電極端子としてはんだボールを介して他の半導体装置と電氣的に接続して、複数の半導体装置を縦型に搭載することができる。このように、複数の半導体装置を縦型に高密度実装するための半導体装置を提供することができる。さらに、半導体装置の裏面では、半導体素子側面の配線端部に樹脂が形成されていないので、半導体装置を相互に接続する際に容易にはんだ接合することができる。この結果、半導体装置の剥離を防止することができる。

【 0 0 1 9 】

また、上記課題を解決するため、請求項 3 に記載の発明では、所定の回路が形成された複数の半導体素子の領域を有する半導体ウェハにおいて、前記半導体素子の回路形成面の境界領域に所定深さの略凹部溝を形成する工程と、前記略凹部溝の側面及び前記回路形成面の所定領域に絶縁層を形成する工程と、前記略凹部溝内部の全表面を含む前記回路形成面の所定領域に配線を形成する工程と、前記配線が形成された略凹部溝内部を含む境界領域上に所定高さの突起電極を形成す

る工程と、前記突起電極の表面が露出するように、前記回路形成面を樹脂封止する工程と、前記半導体ウェハの前記回路形成面の対向面を研磨して、前記対向面から前記略凹部溝を露出させる工程と、前記露出した略凹部溝側面に形成される配線の端部を含む前記半導体ウェハの前記回路形成面の対向面を全面樹脂封止する工程と、前記突起電極上に、ボール電極を形成する工程と、前記半導体ウェハを前記露出した略凹部溝に沿って切断し、その側面に前記ボール電極、前記突起電極及び前記配線が露出する、複数の半導体装置を形成する工程と、前記分割された半導体装置を所定温度で熱処理して、前記突起電極上に形成されている前記ボール電極の一部を前記半導体素子側面の前記配線上に形成する工程と、を有することを特徴とする半導体装置の製造方法が提供される。

【 0 0 2 0 】

本項記載の発明では、半導体装置には、半導体素子の側面に配線の一部が形成され、かかる配線と略同一面上に突起電極が形成されると共に、半導体素子の裏面が樹脂封止した半導体装置を提供することができる。この結果、半導体素子の裏面に形成される樹脂（例えば厚さ $50\mu\text{m}$ 程度）を隔て、配線及び突起電極を電極端子としてはんだボールを介して他の半導体装置と電氣的に接続して、複数の半導体装置を縦型に搭載することができる。このように、複数の半導体装置を縦型に高密度実装するための半導体装置を提供することができる。

【 0 0 2 1 】

また、請求項 4 に記載の発明のように、前記半導体ウェハの前記回路形成面の対向面の全面を樹脂封止する工程と、前記突起電極上にボール電極を形成する工程との間には、さらに、前記対向面から、前記露出した略凹部溝内に形成された樹脂を除去する工程と、を有する如く構成すれば、半導体装置の裏面では、半導体素子側面の配線端部に樹脂が形成されていないので、半導体装置を相互に接続する際に容易にはんだ接合することができる。この結果、半導体装置の剥離を防止することができる。

【 0 0 2 2 】

また、請求項 5 に記載の発明のように、前記対向面から、前記露出した略凹部溝内に形成された樹脂を除去する工程は、レーザを使用して前記樹脂を除去する

工程である、である如く構成すれば、露出した略凹部溝内の樹脂を容易に除去することができる。

【 0 0 2 3 】

また、上記課題を解決するため、請求項 6 に記載の発明では、複数のボール電極を有する第 2 の半導体装置上に、その回路形成面の対向面が接触面となるように前記請求項 1 あるいは請求項 2 に記載の半導体装置が搭載されており、前記請求項 1 あるいは請求項 2 に記載の半導体装置の突起電極及び前記半導体装置側面の配線は、前記ボール電極を介して前記第 2 の半導体装置の電極と接続されることを特徴とするスタック型半導体装置が提供される。

【 0 0 2 4 】

本項記載の発明では、請求項 1 あるいは請求項 2 に記載の半導体装置を縦型に搭載したスタック型半導体装置を提供することができる。かかるスタック型半導体装置では、半導体装置がその裏面からはんだボールにより接続され、その側面の配線と電氣的に接続するので、基板の実装面積を減少させることができる。

【 0 0 2 5 】

さらに、請求項 7 に記載の発明のように、前記第 2 の半導体装置上に搭載された前記請求項 1 あるいは請求項 2 に記載の半導体装置上には、さらに、1 又は 2 以上の前記請求項 1 あるいは請求項 2 に記載の半導体装置が搭載されており、前記請求項 1 あるいは請求項 2 に記載の半導体装置の前記突起電極及び前記半導体装置側面の配線は、互いに、前記ボール電極を介して接続される、如く構成すれば、複数の請求項 1 あるいは請求項 2 に記載の半導体装置を縦型に搭載した、実装面積の小さいスタック型半導体装置を提供することができる。かかるスタック型半導体装置は、複数の半導体装置を一つ分の半導体装置の面積で搭載することができる。

【 0 0 2 6 】

また、上記課題を解決するため、請求項 8 に記載の発明では、他の半導体装置と電氣的に接続するためのボール電極を有する第 2 の半導体装置上に、前記第 2 の半導体装置の前記ボール電極と前記請求項 1 あるいは請求項 2 に記載の半導体装置の側面に形成された再配線が略同一位置となるように、その回路形成面の対

向面を接触面として、前記請求項 1 あるいは請求項 2 に記載の半導体装置を積載する工程と、前記請求項 1 あるいは請求項 2 に記載の半導体装置を積載した第 2 の半導体装置を所定温度で熱処理して、前記請求項 1 あるいは請求項 2 に記載の半導体装置の前記突起電極及び前記半導体装置の側面に形成された配線を、前記ボール電極を介して、前記第 2 の半導体装置と接続する工程と、を有することを特徴とするスタック型半導体装置の製造方法が提供される。

【 0 0 2 7 】

本項記載の発明では、請求項 6 に記載のスタック型半導体装置を提供することができる。かかるスタック型半導体装置では、半導体装置がその裏面からはんだボールにより接続され、その側面の配線と電氣的に接続するので、基板の実装面積を減少させることができる。

【 0 0 2 8 】

また、上記課題を解決するため、請求項 9 に記載の発明では、他の半導体装置と電氣的に接続するためのボール電極を有する第 2 の半導体装置上に、前記第 2 の半導体装置の前記ボール電極と前記請求項 1 あるいは請求項 2 に記載の半導体装置の側面に形成された再配線が略同一位置となるように、その回路形成面の対向面を接触面として、前記請求項 1 あるいは請求項 2 に記載の半導体装置を積載する工程と、前記第 2 の半導体装置上に積載された前記請求項 1 あるいは請求項 2 に記載の半導体装置上に、さらに、前記請求項 1 あるいは請求項 2 に記載の半導体装置の側面に形成された再配線が略同一位置となるように、その回路形成面の対向面を接触面として、1 または 2 以上の前記請求項 1 あるいは請求項 2 に記載の半導体装置を順次積載する工程と、前記複数の請求項 1 あるいは請求項 2 に記載の半導体装置を積載した前記第 2 の半導体装置を所定温度で熱処理して、前記請求項 1 あるいは請求項 2 に記載の半導体装置の前記突起電極及び前記半導体装置の側面に形成された配線を、ボール電極を介して、前記第 2 の半導体装置及び前記請求項 1 あるいは請求項 2 に記載の半導体装置を相互に接続する工程と、を有することを特徴とするスタック型半導体装置の製造方法が提供される。

【 0 0 2 9 】

本項記載の発明では、請求項 7 に記載のスタック型半導体装置を提供すること

ができる。かかるスタック型半導体装置では、半導体装置がその裏面からはんだボールにより接続され、その側面の配線と電氣的に接続するので、基板の実装面積を減少させることができる。かかるスタック型半導体装置は、複数の半導体装置を一つ分の半導体装置の面積で搭載することができる。

【 0 0 3 0 】

【発明の実施の形態】

以下、本発明の好適な実施の形態について、添付図面を参照しながら詳細に説明する。尚、以下の説明および添付図面において、同一の機能及び構成を有する構成要素については、同一符号を付することにより、重複説明を省略する。

【 0 0 3 1 】

（第 1 の実施の形態）

以下、図 1 から図 1 0 を参照しながら、第 1 の実施の形態について説明する。図 1 は、本実施形態にかかる半導体素子の構造を示す断面図である。図 2 は、本実施形態にかかる半導体素子の構造を示す上面図である。

【 0 0 3 2 】

図 1 及び図 2 に示すように、本実施形態にかかる半導体装置は、半導体素子 1 0 1 の回路形成面（図中上面）上に、例えば A 1 電極からなる電極パッド 1 0 6 が形成され、電極パッド 1 0 6 に電氣的に接続するように例えば C u 配線（以下、再配線という） 1 0 4 が形成される。さらにこの C u 再配線 1 0 4 は、例えば約 1 0 0 μ m 高さの C u ポスト（突起電極） 1 0 2 と電氣的に接続される。半導体素子 1 0 1 の回路形成面は、C u ポスト 1 0 2 の表面が露出するように、樹脂 1 0 5 により封止されている。この露出した C u ポスト 1 0 2 の表面には、例えばはんだボール 1 0 3 などの金属電極（ボール電極）が形成されている。一方、半導体素子 1 0 1 の回路形成面の対向面（裏面）には、側面に形成された C u 再配線 1 0 4 の端部を含む全面が樹脂封止されている。

【 0 0 3 3 】

次いで、本実施形態にかかる半導体装置の電極端子部分について、図 3 及び図 4 に基づいて説明する。なお、図 3 は、本実施形態にかかる半導体装置の端子部分の詳細を示す拡大図である。図 4 は、本実施形態にかかる半導体装置の端子が

形成されない部分の詳細を示す拡大図である。

【 0 0 3 4 】

電極端子が形成されている部分は、図 3 に示すように、半導体素子 1 0 1 の回路形成面及び側面に絶縁層 1 1 0 が形成され、この絶縁層 1 1 0 上には再配線 1 0 4 が形成される。さらに、半導体素子 1 0 1 の端部（側面）の再配線 1 0 4 上には Cu ポスト 1 0 2 が形成され、Cu ポスト 1 0 2 に至るまでの再配線 1 0 4 は、樹脂 1 0 5 で封止されている。また、半導体素子 1 0 1 の回路形成面の対向面（裏面）は、半導体素子 1 0 1 の側面に形成された Cu 再配線 1 0 4 に至るまで樹脂 1 0 5 により封止されている。

【 0 0 3 5 】

一方、電極端子が形成されていない部分は、図 4 に示すように、半導体素子 1 0 1 の回路形成面及び側面に絶縁層 1 1 0 が形成され、この絶縁層 1 1 0 上は樹脂 1 0 5 で封止されている。また、半導体素子 1 0 1 の回路形成面の対向面（裏面）の全面が樹脂 1 0 5 により封止されている。

【 0 0 3 6 】

本実施形態においては、半導体素子 1 0 1 の側面に再配線 1 0 4 の一部が形成されると共に、半導体素子 1 0 1 の裏面は樹脂封止される。このように、電極端子部分を、半導体素子裏面の樹脂 1 0 5（例えば厚さ 5 0 μ m 程度）を隔てて他の半導体装置の電極と容易に接続することができる。この結果、複数の半導体装置を縦型に接続することができ、面積を増大させることなく高密度実装のスタック型半導体装置を実現することができる。

【 0 0 3 7 】

次いで、図 5 に基づいて、本実施形態にかかる半導体装置の製造工程を説明する。図 5 は、本実施形態にかかる半導体装置の製造工程を示すフローチャートである。

【 0 0 3 8 】

まず、図 5（a）に示すように、回路が形成された半導体ウェハ 1 0 1 上に、電極パッド 1 0 6 及び酸化膜 1 1 3 を形成した後、電極パッド 1 0 6 上の酸化膜 1 1 3 を、所定のエッチング方法により除去する。さらに、半導体ウェハを切断

する境界領域として、例えば略数十 μ m深さの略凹部溝120を形成する。

【0039】

その後、図5(b)に示すように、電極パッド120及び略凹部溝120の底部以外の領域に、例えば数 μ m厚さの絶縁層110を形成する。なお、略凹部溝120は、その側面にのみ絶縁層110が形成される。また、絶縁層の材料として、例えばポリイミドなどの樹脂を使用することができる。

【0040】

さらに、図5(c)に示すように金属膜112を半導体ウェハ全面に形成した後、図5(d)に示すように、再配線104を形成する。この金属膜112及び再配線104は、略凹部溝120の内部表面全体にも形成される。

【0041】

次いで、図5(e)に示すように、略凹部溝120内を埋め込み、かつ略凹部溝の周囲の回路形成面の所定領域に形成されている再配線104と接続するように、Cuポスト102を形成する。その後、図5(f)に示すように、不要な金属膜112及び再配線104を除去する。

【0042】

次いで、図6(a)に示すように、半導体素子101の回路形成面を、少なくともCuポスト102の高さ以上となるように、樹脂105で封止する。次いで、図6(b)に示すように、半導体素子101の回路形成面に形成した樹脂105を研削して、Cuポスト102の表面を露出させる。

【0043】

さらに、図6(c)に示すように、半導体ウェハの回路形成面の対向面(裏面)を研削して、略凹部溝120を露出させる。次いで、図6(d)に示すように、半導体ウェハ裏面を全面樹脂封止する。

【0044】

さらに、図6(e)に示すように、半導体ウェハの回路形成面で露出しているCuポスト102上に、はんだボール103を形成する。ここまでの工程は、複数の半導体素子101が形成されているウェハの状態で行われている。

【0045】

さらに、図 6 (f) に示すように、半導体ウェハ 1 0 1 をダイシングにより切断し、個々の半導体装置に分割（個片化）する。この個片化工程で使用する切断刃 1 0 8 は、略凹部溝 1 2 0 の形成工程で使用した切断刃よりも細い切断刃が使用される。これは、略凹部溝 1 2 0 の側面に形成された再配線 1 0 4 を切り落とさないようにするためである。なお、電極端子を形成していない部分（図示せず）では、その側面にも樹脂 1 0 5 が形成されている。

【 0 0 4 6 】

なお、図 7 (a) では、図 6 (f) で個片化された半導体装置の拡大図を示している。この図は、図 6 (f) と内容が同一であるので、説明を省略する。

【 0 0 4 7 】

次いで、図 7 (b) に示すように、個片化された半導体装置は、それぞれ隣接する半導体装置との隙間を大きく開ける。通常では、個片化された半導体装置は、テープ上にマウントされているので、かかるテープを引っ張る（エキスパンドする）ことにより半導体装置の間隔を開けることができる。

【 0 0 4 8 】

さらに、図 7 (c) に示すように、個片化された半導体装置は、リフロー炉により、例えば約 2 3 0 ℃ の温度でリフロー処理をおこなう。このリフロー処理は、Cu ポスト 1 0 2 上に形成されているはんだボール 1 0 3 を軟化させ、半導体装置側面に形成された Cu 再配線 1 0 4 にも電氣的に接続するように形成するためにおこなわれる。

【 0 0 4 9 】

このように、本実施形態においては、半導体装置には、半導体素子の側面に配線の一部が形成され、かかる配線と略同一面上に突起電極が形成されると共に、半導体素子の裏面が樹脂封止した半導体装置を提供することができる。この結果、半導体素子の裏面に形成される樹脂（例えば厚さ 5 0 μ m 程度）を隔て、配線及び突起電極を電極端子としてはんだボールを介して他の半導体装置と電氣的に接続して、複数の半導体装置を縦型に搭載することができる。このように、複数の半導体装置を縦型に高密度実装するための半導体装置を提供することができる。

【 0 0 5 0 】

次に、上記半導体装置を使用して作製したスタック型半導体装置を、図 8、図 9 及び図 1 0 に基づいて説明する。なお、図 8 は、本実施形態にかかるスタック型半導体装置の構造を示す断面図である。図 9 は、本実施形態にかかるスタック型半導体装置の構造を示す断面拡大図である。図 1 0 は、スタック型半導体装置の製造方法を説明するための説明図である。

【 0 0 5 1 】

なお、本実施形態においては、本実施形態にかかる半導体装置を電氣的に接続するための電極が回路形成面に形成されている従来の他の半導体装置上に、本実施形態にかかる半導体装置を搭載するものとして説明する。

【 0 0 5 2 】

図 8 及び図 9 に示すように、従来の他の半導体装置は、例えば略 3 5 0 μ m 高さの半導体素子 2 0 1 上に、例えば略 1 0 0 μ m 高さの C u ポスト 2 0 2、樹脂 2 0 5、例えば略 3 0 0 μ m 高さのはんだボール 2 0 3 が形成されている。

【 0 0 5 3 】

また、従来の他の半導体装置のボール電極 2 0 3 上には、本実施形態にかかる半導体装置の側面に形成された C u 再配線 1 0 4 及び C u ポスト 1 0 3 が略同一位置となるように、その裏面を接触面として、本実施形態にかかる半導体装置が搭載されており、はんだボール 1 0 3 を介して他の従来の半導体装置の電極と電氣的に接続されている。

【 0 0 5 4 】

本実施形態にかかる半導体装置は、裏面が樹脂封止されているので、他の従来の半導体装置と短絡することなく搭載することができる。また、本実施形態にかかる半導体装置は、その側面に C u 再配線 1 0 4 及び C u ポスト 1 0 2 が形成されているので、はんだボール 1 0 3 を介して容易に他の従来の半導体装置の電極と電氣的に接続することができる。

【 0 0 5 5 】

図 1 0 に示すように、他の従来の半導体装置 2 0 1 は、半導体ウェハ上に分割されずに形成されている。かかる他の従来の半導体装置 2 0 1 のボール電極 2 0

3 上に、本実施形態にかかる半導体装置の側面に形成された Cu 再配線 1 0 4 及び Cu ポスト 1 0 3 が、略同一位置となるように、その裏面を接触面として、本実施形態にかかる半導体装置を搭載する。

【 0 0 5 6 】

なお、このとき搭載する本実施形態にかかる半導体装置は、回路形成面の樹脂を研磨して、Cu ポスト 1 0 2 を露出させた後のはんだボール 1 0 3 の搭載時である。

【 0 0 5 7 】

その後、リフロー炉により、例えば約 2 3 0 ℃ の温度でリフロー処理をおこなう。このリフロー処理は、Cu ポスト 2 0 2 上に形成されているはんだボール 2 0 3 を軟化させ、本実施形態にかかる半導体装置側面に形成された Cu 再配線 1 0 4 と電氣的に接続するように形成するためにおこなわれる。

【 0 0 5 8 】

さらに、本実施形態にかかる半導体装置を搭載した他の従来の半導体装置を有する半導体ウェハは、切断されて個片化され、複数のスタック型半導体装置が形成される。

【 0 0 5 9 】

以上のように、本実施形態においては、かかるスタック型半導体装置では、半導体装置がその裏面からはんだボールにより接続され、その側面の配線と電氣的に接続するので、基板の実装面積を減少させることができる。

【 0 0 6 0 】

(第 2 の実施の形態)

本実施形態にかかる半導体装置は、第 1 の実施の形態と異なり、回路形成面の対向面において、半導体素子側面に形成された Cu 再配線の端部は樹脂封止されない。以下、本実施形態にかかる半導体装置を、図 1 1 から図 1 6 に基づいて説明する。

【 0 0 6 1 】

図 1 1 及び図 1 2 に示すように、本実施形態にかかる半導体装置は、半導体素子 3 0 1 上に、例えば A 1 電極からなる電極パッド 3 0 6 が形成され、電極パッ

ド 3 0 6 に電氣的に接続するように例えば Cu 再配線 3 0 4 が形成される。さらにこの Cu 再配線 3 0 4 は、例えば約 1 0 0 μ m 高さの Cu ポスト 3 0 2 と電氣的に接続される。半導体素子 3 0 1 の回路形成面は、Cu ポスト 3 0 2 の表面が露出するように、樹脂 3 0 5 により封止されている。この露出した Cu ポスト 3 0 2 の表面には、はんだボール 3 0 3 などの金属電極（ボール電極）が形成されている。一方、半導体素子 3 0 1 の回路形成面の対向面（裏面）には、側面に形成された Cu 再配線の端部以外の部分が、樹脂封止されている。

【 0 0 6 2 】

本実施形態にかかる半導体素装置は、この半導体素子 3 0 1 の側面の Cu 再配線の端部が樹脂封止されない点で、第 1 の実施の形態と異なる。

【 0 0 6 3 】

次いで、本実施形態にかかる半導体装置の端子部分について、図 1 3 及び図 1 4 に基づいて説明する。図 1 3 は、本実施形態にかかる半導体装置の端子部分の詳細を示す拡大図である。図 1 4 は、本実施形態にかかる半導体装置の端子が形成されない部分の詳細を示す拡大図である。

【 0 0 6 4 】

図 1 3 に示すように、絶縁半導体素子 3 0 1 の回路形成面及び側面に層 3 1 0 が形成され、この絶縁層 3 1 0 上には再配線 3 0 4 が形成される。さらに、半導体素子 3 0 1 の端部（側面）の再配線 3 0 4 上には Cu ポスト 3 0 2 が形成され、Cu ポスト 3 0 2 に至るまでの再配線 3 0 4 は、樹脂 3 0 5 で封止されている。また、半導体素子 3 0 1 の回路形成面の対向面（裏面）は、半導体素子 3 0 1 の側面に形成された Cu 再配線 3 0 4 の端部以外の領域が樹脂 3 0 5 で封止されている。

【 0 0 6 5 】

一方、電極端子が形成されていない部分は、図 1 4 に示すように、半導体素子 3 0 1 の回路形成面及び側面に絶縁層 3 1 0 が形成され、この絶縁層 3 1 0 上は樹脂 3 0 5 で封止されている。また、半導体素子 3 0 1 の回路形成面の対向面（裏面）の全面が樹脂 3 0 5 により封止されている。

【 0 0 6 6 】

本実施形態においては、半導体素子の裏面では、その側面に形成されたCu再配線の端部には樹脂が形成されないで、はんだの接合が容易になる。この結果、他の半導体装置上に実装した場合に、半導体装置の剥離を防止することができる。

【0067】

次いで、図15に基づいて、本実施形態にかかる半導体装置の製造工程を説明する。図15は、本実施形態にかかる半導体装置の製造工程を示すフローチャートである。なお、本実施形態にかかる半導体装置の製造方法において、樹脂封止前の工程は第1の実施の形態にかかる図5と同様であるので、その説明は省略する。

【0068】

まず、図15(a)に示すように、半導体素子301の回路形成面を、少なくともCuポスト302の高さ以上となるように、樹脂305で封止する。次いで、図15(b)に示すように、半導体素子301の回路形成面に形成した樹脂305を研削して、Cuポスト302の表面を露出させる。

【0069】

さらに、図15(c)に示すように、半導体ウェハの回路形成面の対向面（裏面）を研削して、略凹部溝320を露出させる。その後、図15(d)に示すように、半導体ウェハ裏面を全面樹脂封止する。

【0070】

次いで、図15(e)に示すように、例えばレーザを使用して、対向面に露出した略凹部溝内に形成されている樹脂を除去する。本実施形態においては、第1の実施の形態と異なり、半導体素子の裏面に露出する略凹部溝内の樹脂を除去するので、半導体装置の側面の再配線の端部には、樹脂が形成されない。

【0071】

さらに、図15(f)に示すように、半導体ウェハの回路形成面で露出しているCuポスト302上に、はんだボール303を形成する。ここまでの工程は、複数の半導体素子301が形成されているウェハの状態で行われている。

【0072】

さらに、図 1 5 (g) に示すように、半導体ウェハ 3 0 1 をダイシングにより切断し、個々の半導体装置に分割（個片化）する。この個片化工程で使用する切断刃 3 0 8 は、略凹部溝 3 2 0 の形成工程で使用した切断刃よりも細い切断刃が使用される。これは、略凹部溝 3 2 0 の側面に形成された再配線 3 0 4 を切り落とさないようにするためである。なお、電極端子を形成していない部分（図示せず）では、その側面に樹脂 3 0 5 が形成されている。

【 0 0 7 3 】

なお、図 1 6 (a) では、図 1 5 (g) で個片化された半導体装置の拡大図を示している。この図は、図 1 5 (g) と内容が同一であるので、説明を省略する。

【 0 0 7 4 】

次いで、図 1 6 (b) に示すように、個片化された半導体装置は、それぞれ隣接する半導体装置との隙間を大きく開ける。通常では、個片化された半導体装置は、テープ上にマウントされているので、かかるテープを引っ張る（エキスパンドする）ことにより半導体装置の間隔を開けることができる。

【 0 0 7 5 】

さらに、図 1 6 (c) に示すように、個片化された半導体装置は、リフロー炉により、例えば約 2 3 0 ℃ の温度でリフロー処理をおこなう。このリフロー処理は、Cu ポスト 3 0 2 上に形成されているはんだボール 3 0 3 を軟化させ、半導体装置側面に形成された Cu 再配線 3 0 4 にも電氣的に接続するように形成するためにおこなわれる。

【 0 0 7 6 】

このように、本実施形態においては、半導体装置には、半導体素子の側面に配線の一部が形成され、かかる配線と略同一面上に突起電極が形成されると共に、半導体素子の裏面が樹脂封止した半導体装置を提供することができる。この結果、半導体素子の裏面に形成される樹脂（例えば厚さ 5 0 μ m 程度）を隔て、配線及び突起電極を電極端子としてはんだボールを介して他の半導体装置と電氣的に接続して、複数の半導体装置を縦型に搭載することができる。このように、複数の半導体装置を縦型に高密度実装するための半導体装置を提供することができる。

。さらに、半導体装置の裏面では、半導体素子側面の配線端部に樹脂が形成されていないので、半導体装置を相互に接続する際に容易にはんだ接合することができる。この結果、半導体装置の剥離を防止することができる。

【 0 0 7 7 】

次に、上記半導体装置を使用して作製したスタック型半導体装置を、図 1 7 及び図 1 8 に基づいて説明する。なお、図 1 7 は、本実施形態にかかるスタック型半導体装置の構造を示す断面図である。図 1 8 は、本実施形態にかかるスタック型半導体装置の構造を示す断面拡大図である。

【 0 0 7 8 】 図 1 7 及び図 1 8 に示すように、従来の他の半導体装置は、例えば略 3 5 0 μ m 高さの半導体素子 4 0 1 上に、例えば略 1 0 0 μ m 高さの Cu ポスト 4 0 2、樹脂 4 0 5、例えば略 3 0 0 μ m 高さのはんだボール 4 0 3 が形成されている。

【 0 0 7 9 】

また、この従来の他の半導体装置のボール電極 4 0 3 上には、本実施形態にかかる半導体装置の側面に形成された Cu 再配線 3 0 4 及び Cu ポスト 3 0 3 が略同一位置となるように、その裏面を接触面として、本実施形態にかかる半導体装置が搭載されており、はんだボール 3 0 3 を介して他の従来の半導体装置の電極と電気的に接続されている。

【 0 0 8 0 】

本実施形態にかかる半導体装置は、裏面が樹脂封止されているので、他の従来の半導体装置と短絡することなく搭載することができる。また、本実施形態にかかる半導体装置は、その側面に Cu 再配線 3 0 4 及び Cu ポスト 3 0 2 が形成されているので、はんだボール 3 0 3 を介して容易に他の従来の半導体装置の電極と電気的に接続することができる。

【 0 0 8 1 】

以上のように、本実施形態においては、かかるスタック型半導体装置では、半導体装置がその裏面からはんだボールにより接続され、その側面の配線と電気的に接続するので、基板の実装面積を減少させることができる。さらに、半導体装置の裏面では、半導体素子側面の配線端部に樹脂が形成されていないので、容易

にはんだ接合することができるので、半導体装置の剥離を防止することができる。

【 0 0 8 2 】

(第 3 の実施の形態) 次に、図 1 9 に基づいて、本実施形態にかかるスタック型半導体装置を説明する。図 1 9 は、本実施形態にかかるスタック型半導体装置の断面図である。本実施形態にかかるスタック型半導体装置は、他の従来の半導体装置上に、複数の第 1 の実施の形態にかかる半導体装置を搭載したものである。

【 0 0 8 3 】

また、この従来の他の半導体装置のボール電極 2 0 3 上には、第 1 の実施の形態にかかる半導体装置の側面に形成された C u 再配線 1 0 4 及び C u ポスト 1 0 3 が略同一位置となるように、その裏面を接触面として、本実施形態にかかる半導体装置が搭載されており、はんだボール 1 0 3 を介して他の従来の半導体装置の電極と電氣的に接続されている。

【 0 0 8 4 】

第 1 の実施の形態にかかる半導体装置は、裏面が樹脂封止されているので、他の従来の半導体装置と短絡することなく搭載することができる。また、第 1 の実施の形態にかかる半導体装置は、その側面に C u 再配線 1 0 4 及び C u ポスト 1 0 2 が形成されているので、はんだボール 1 0 3 を介して容易に他の従来の半導体装置の電極と電氣的に接続することができる。

【 0 0 8 5 】

さらに、本実施形態においては、第 1 の実施の形態にかかる半導体装置上には、突起電極及び半導体装置側面の配線が相互に略同一位置となるように、第 1 の実施の形態にかかる半導体装置が搭載され、ボール電極を介して電氣的に接続されている。

【 0 0 8 6 】

以上のように、本実施形態では、一つ分の半導体装置の面積で複数の半導体装置を搭載したスタック型半導体装置を提供することができる。このように、従来と比較して、スタック型半導体装置の基板実装の面積を著しく低減することがで

きる。

【 0 0 8 7 】

(第 4 の実施の形態) 次に、図 2 0 に基づいて、本実施形態にかかるスタック型半導体装置を説明する。図 2 0 は、本実施形態にかかるスタック型半導体装置の断面図である。本実施形態にかかるスタック型半導体装置は、他の従来の半導体装置上に、複数の第 2 の実施の形態にかかる半導体装置を搭載したものである。

【 0 0 8 8 】

また、この従来の他の半導体装置のボール電極 4 0 3 上には、第 2 の実施の形態にかかる半導体装置の側面に形成された C u 再配線 3 0 4 及び C u ポスト 3 0 3 が略同一位置となるように、その裏面を接触面として、第 2 の実施の形態にかかる半導体装置が搭載されており、はんだボール 3 0 3 を介して他の従来の半導体装置の電極と電氣的に接続されている。

【 0 0 8 9 】

第 2 の実施の形態にかかる半導体装置は、裏面が樹脂封止されているので、他の従来の半導体装置と短絡することなく搭載することができる。また、本実施形態にかかる半導体装置は、その側面に C u 再配線 3 0 4 及び C u ポスト 3 0 2 が形成されているので、はんだボール 3 0 3 を介して容易に他の従来の半導体装置の電極と電氣的に接続することができる。

【 0 0 9 0 】

さらに、本実施形態においては、第 2 の実施の形態にかかる半導体装置上には、突起電極及び半導体装置側面の配線が相互に略同一位置となるように、第 2 の実施の形態にかかる半導体装置が搭載され、ボール電極を介して電氣的に接続されている。

【 0 0 9 1 】

以上のように、本実施形態では、複数の半導体装置を一つ分の半導体装置の面積で搭載したスタック型半導体装置を提供することができる。このように、従来と比較して、スタック型半導体装置の基板実装の面積を著しく低減することができる。さらに、さらに、半導体装置の裏面では、半導体素子側面の配線端部に樹

脂が形成されていないので、容易にはんだ接合することができるので、半導体装置の剥離を防止することができる。

【 0 0 9 2 】

以上、本発明に係る好適な実施の形態について説明したが、本発明はかかる構成に限定されない。当業者であれば、特許請求の範囲に記載された技術思想の範囲内において、各種の修正例および変更例を想定し得るものであり、それらの修正例および変更例についても本発明の技術範囲に包含されるものと了解される。

【 0 0 9 3 】

例えば上記実施形態においては、Cu再配線及びCuポスト（突起電極）を使用した構成を例に挙げて説明したが、他の材質の再配線及び突起電極を使用しても実施することができる。

【 0 0 9 4 】

また、上記実施形態においては、切断刃を使用して半導体素子上に略凹部溝を形成する構成を例に挙げて説明したが、他の方法で略凹部溝を形成しても良い。

【 0 0 9 5 】

また、上記実施形態においては、第1の実施の形態にかかる半導体装置を複数搭載したスタック型半導体装置、あるいは第2の実施の形態にかかる半導体装置を複数搭載したスタック型半導体装置を例に挙げて説明したが、第1の実施の形態にかかる半導体装置と第2の実施の形態にかかる半導体装置を混載して、スタック型半導体装置を作製してもよい。

【 0 0 9 6 】

【発明の効果】

半導体装置には、半導体素子の側面に配線の一部が形成され、かかる配線と略同一面上に突起電極が形成されると共に、半導体素子の裏面が樹脂封止されているので、半導体素子の裏面に形成される樹脂を隔て、配線及び突起電極を電極端子としてはんだボールを介して他の半導体装置と電気的に接続して、複数の半導体装置を縦型に搭載することができる。このように、複数の半導体装置を縦型に高密度実装するための半導体装置を提供することができる。

【図面の簡単な説明】

【図 1】

第 1 の実施の形態にかかる半導体素子の構造を示す断面図である。

【図 2】

第 1 の実施の形態にかかる半導体素子の構造を示す上面図である。

【図 3】

第 1 の実施の形態にかかる半導体素子の端子部分の詳細を示す拡大図である。

【図 4】

第 1 の実施の形態にかかる半導体素子の端子が形成されない部分の詳細を示す拡大図である。

【図 5】

第 1 の実施の形態にかかる半導体素子の製造工程を示すフローチャートである。

【図 6】

第 1 の実施の形態にかかる半導体素子の製造工程を示すフローチャートである。

【図 7】

第 1 の実施の形態にかかる半導体素子の製造工程を示すフローチャートである。

【図 8】

第 1 の実施の形態にかかるスタック型半導体装置の構造を示す断面図である。

【図 9】

第 1 の実施の形態にかかるスタック型半導体装置の構造を示す断面拡大図である。

【図 10】

第 1 の実施の形態にかかるスタック型半導体装置の製造方法を示す説明図である。

【図 11】

第 2 の実施の形態にかかる半導体素子の構造を示す断面図である。

【図 12】

第 2 の実施の形態にかかる半導体素子の構造を示す上面図である。

【図 1 3】

第 2 の実施の形態にかかる半導体素子の端子部分の詳細を示す拡大図である。

【図 1 4】

第 2 の実施の形態にかかる半導体素子の端子が形成されない部分の詳細を示す拡大図である。

【図 1 5】

第 2 の実施の形態にかかる半導体素子の製造工程を示すフローチャートである。

【図 1 6】

第 2 の実施の形態にかかる半導体素子の製造工程を示すフローチャートである。

【図 1 7】

第 2 の実施の形態にかかるスタック型半導体装置の構造を示す断面図である。

【図 1 8】

第 2 の実施の形態にかかるスタック型半導体装置の構造を示す断面拡大図である。

【図 1 9】

第 3 の実施の形態にかかるスタック型半導体装置の断面図である。

【図 2 0】

第 4 の実施の形態にかかるスタック型半導体装置の断面図である。

【図 2 1】

従来の半導体装置の構造を示す断面図である。

【図 2 2】

従来の半導体装置の構造を示す上面図である。

【図 2 3】

従来の半導体装置の製造方法を説明するための工程断面図である。

【図 2 4】

従来の半導体装置の製造方法を説明するための工程断面図である。

【図 2 5】

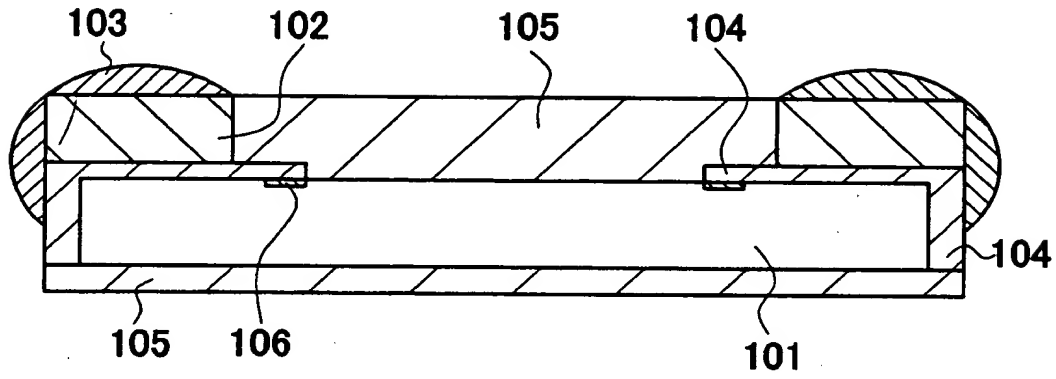
従来の複数の半導体素子を搭載した半導体装置の構成を示す説明図である。

【符号の説明】

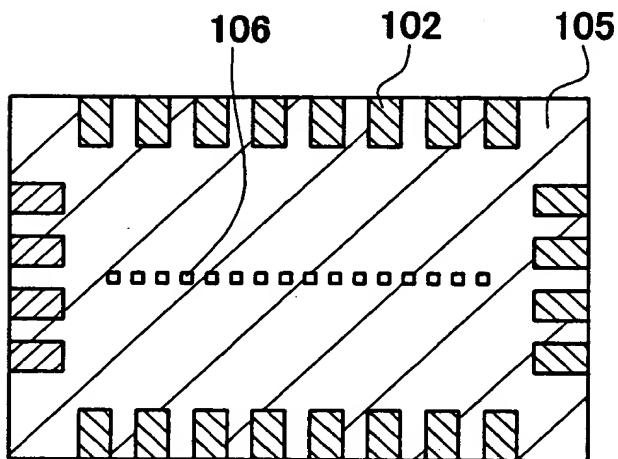
- 1 0 1 半導体素子
- 1 0 2 Cuポスト
- 1 0 3 はんだボール
- 1 0 4 再配線
- 1 0 5 樹脂
- 1 0 6 電極パッド
- 1 0 8 切断刃
- 1 1 0 絶縁層
- 1 1 2 金属膜
- 1 2 0 略凹部溝

【書類名】 図面

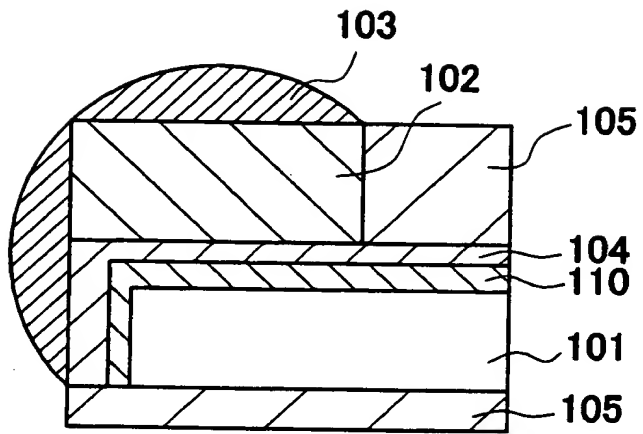
【図 1】



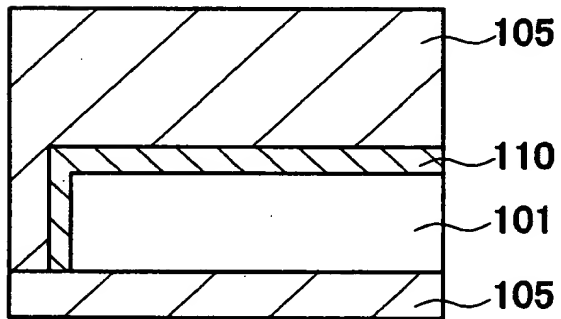
【図 2】



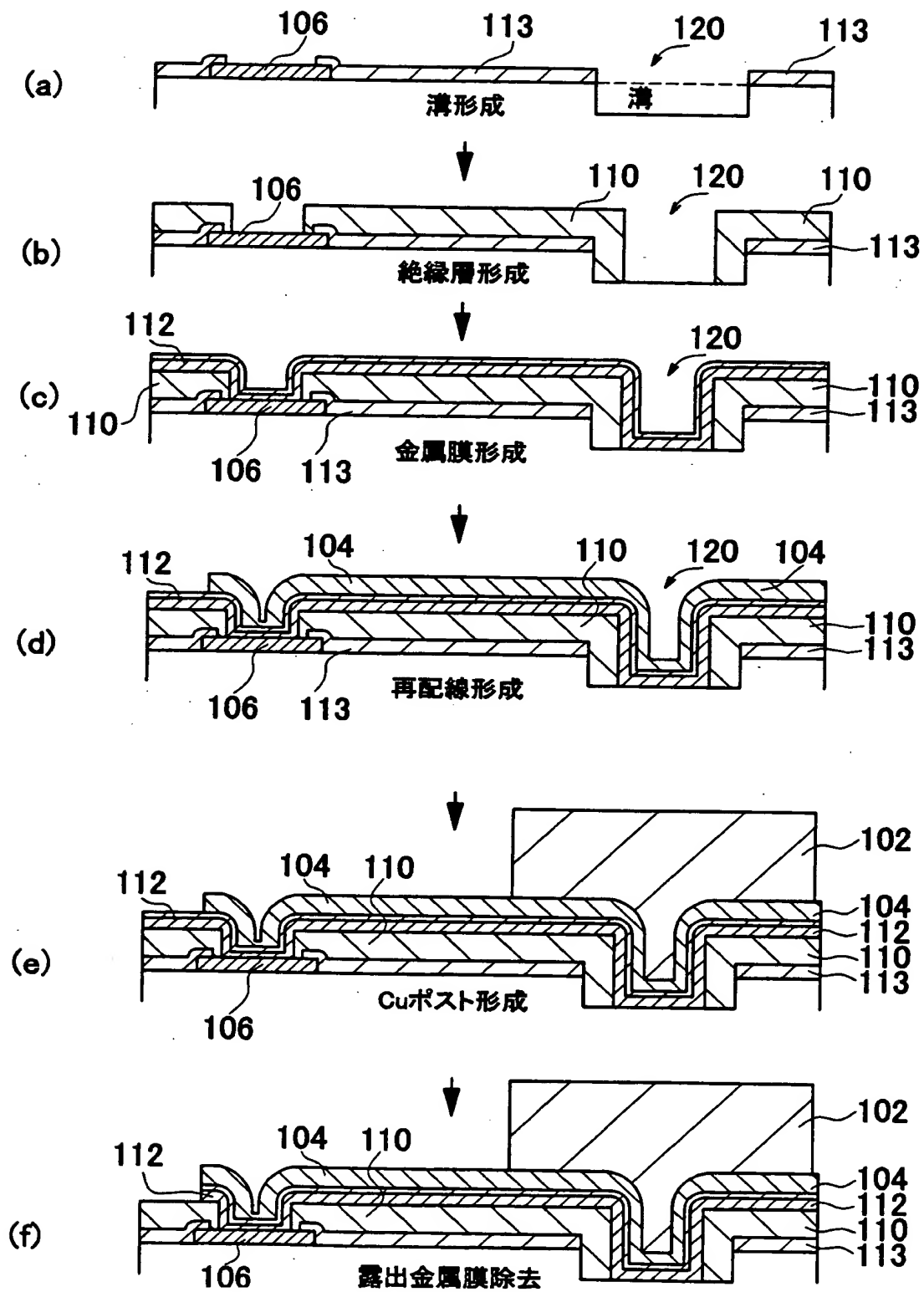
【図 3】



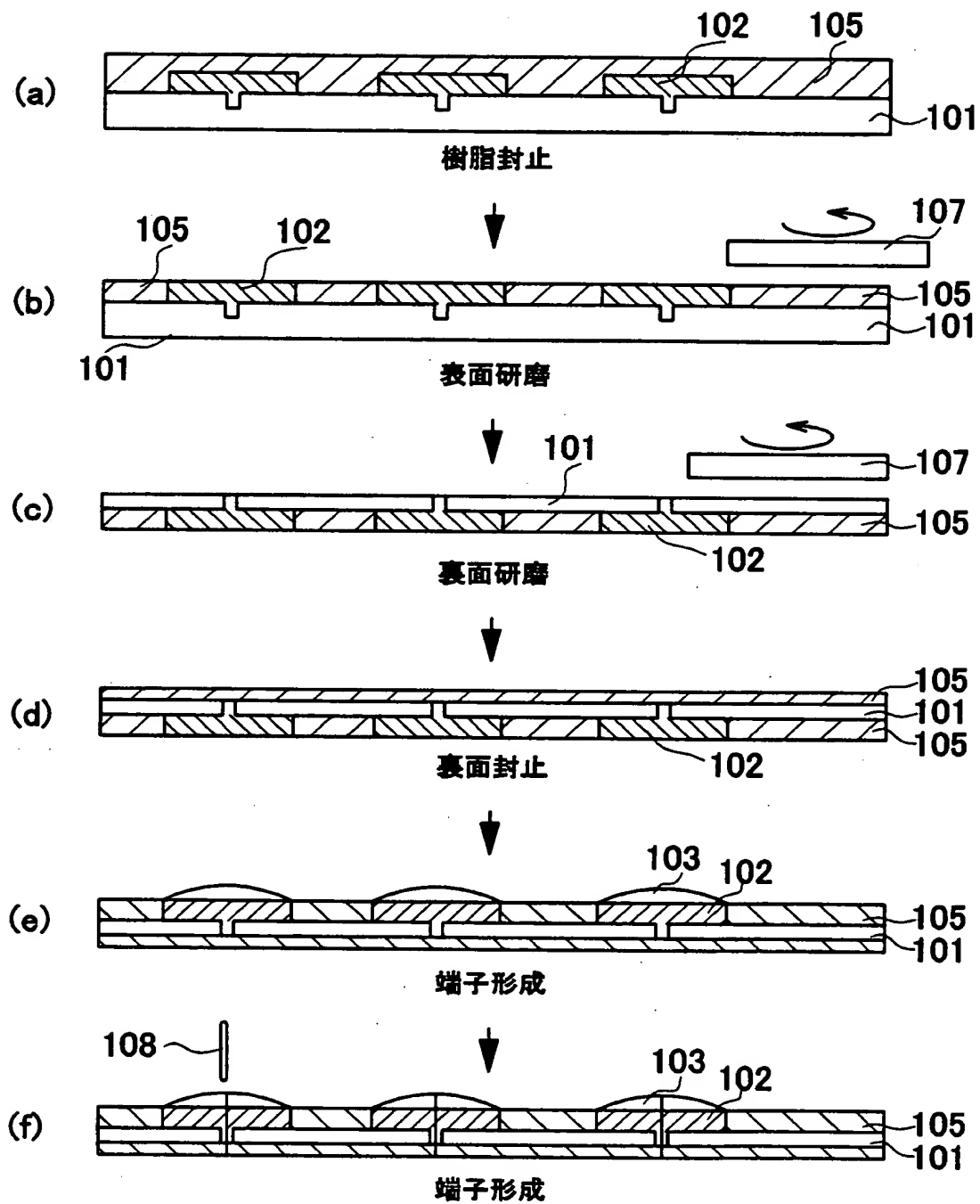
【図 4】



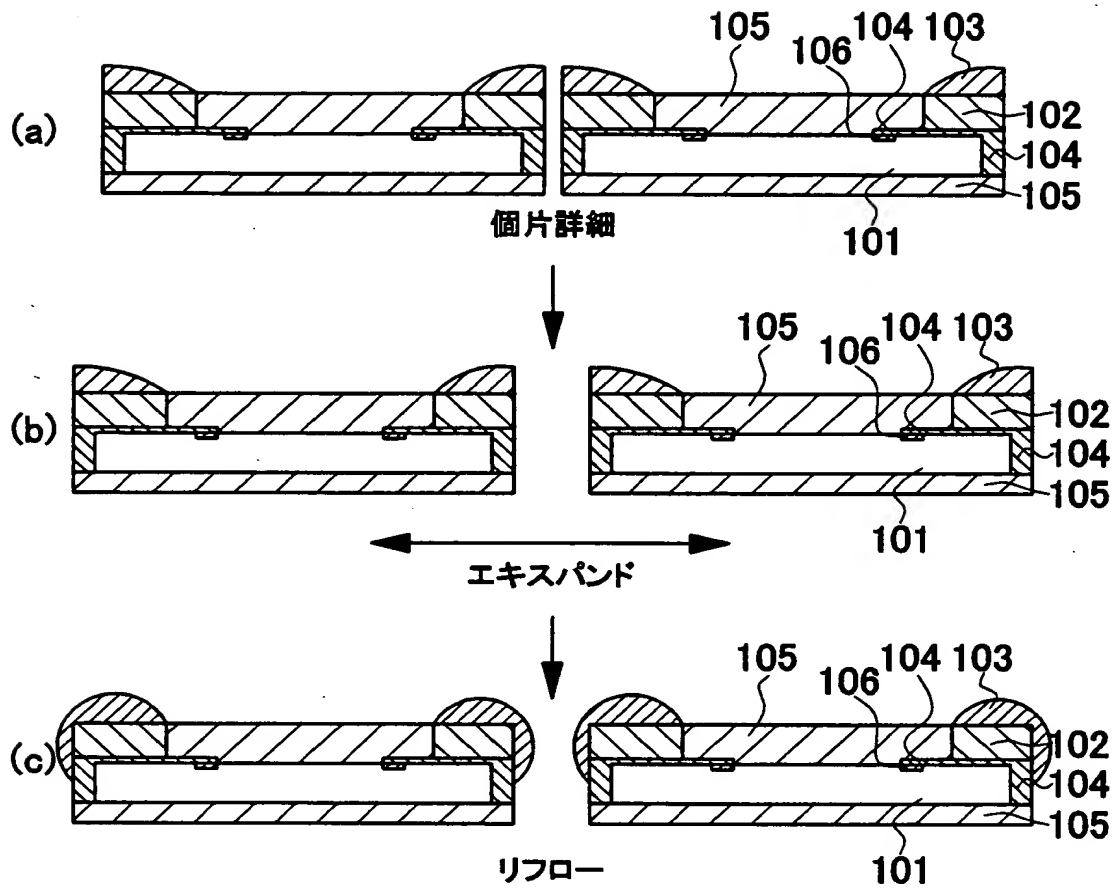
【図 5】



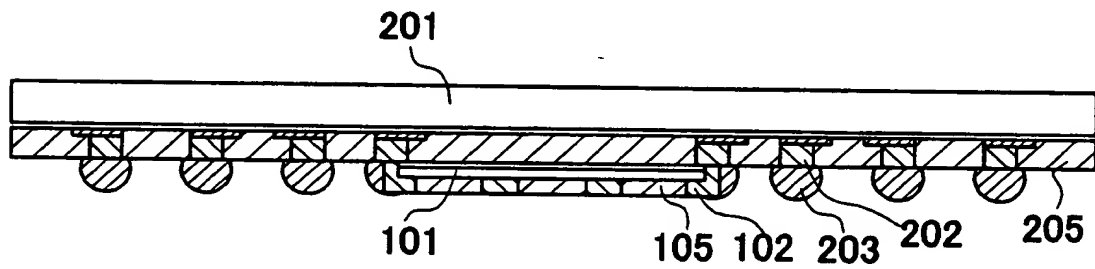
【図 6】



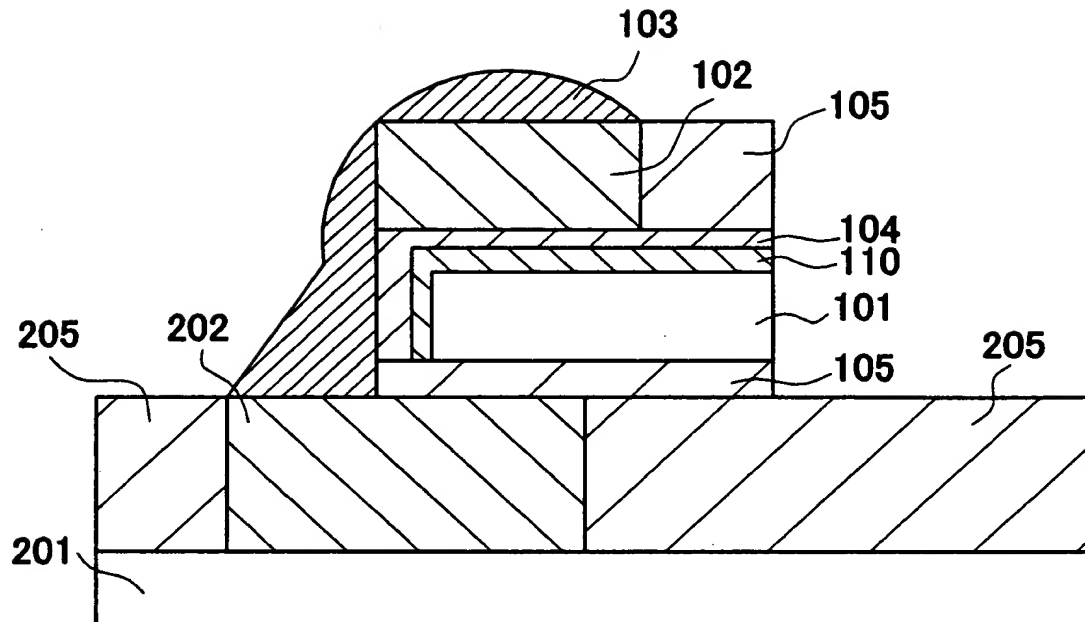
【図 7】



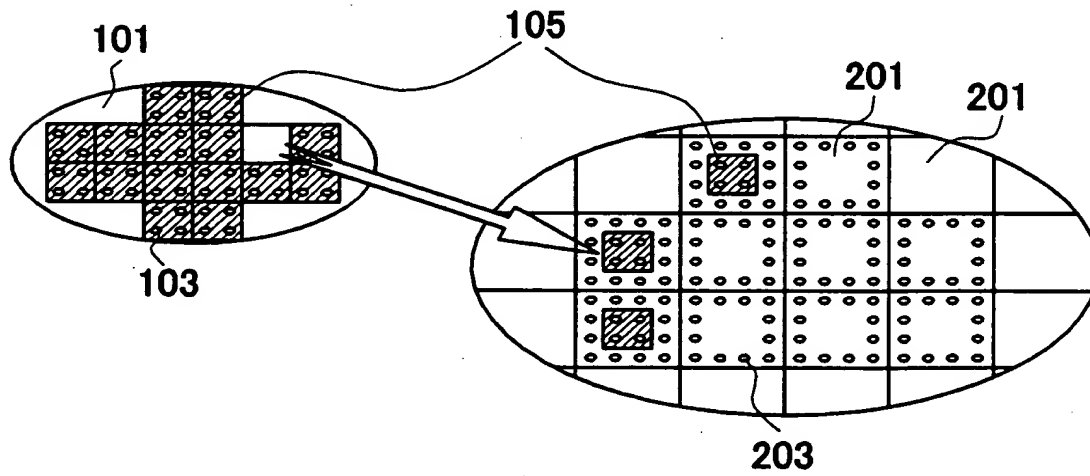
【図 8】



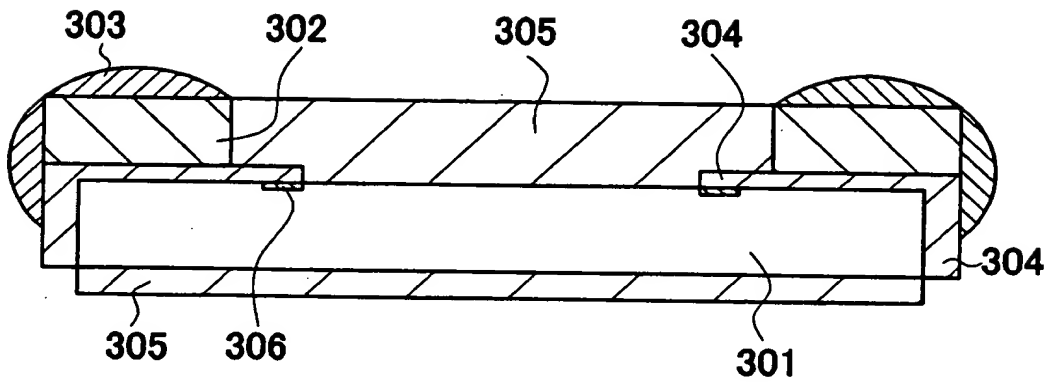
【図 9】



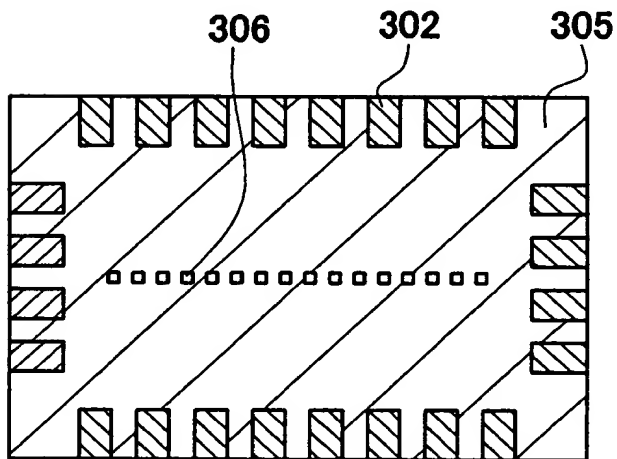
【図 10】



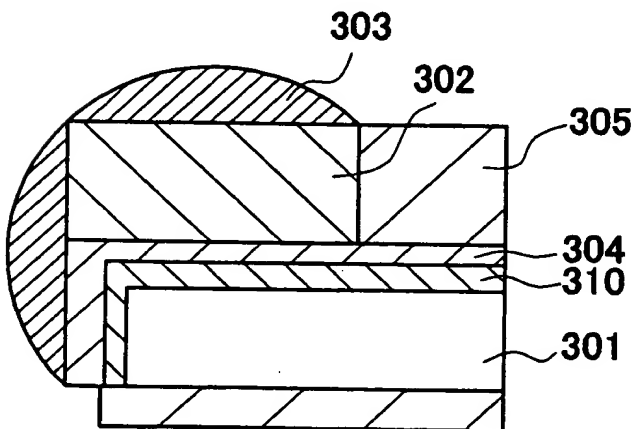
【図 1 1】



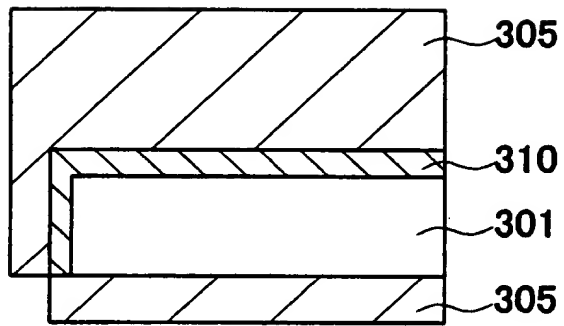
【図 1 2】



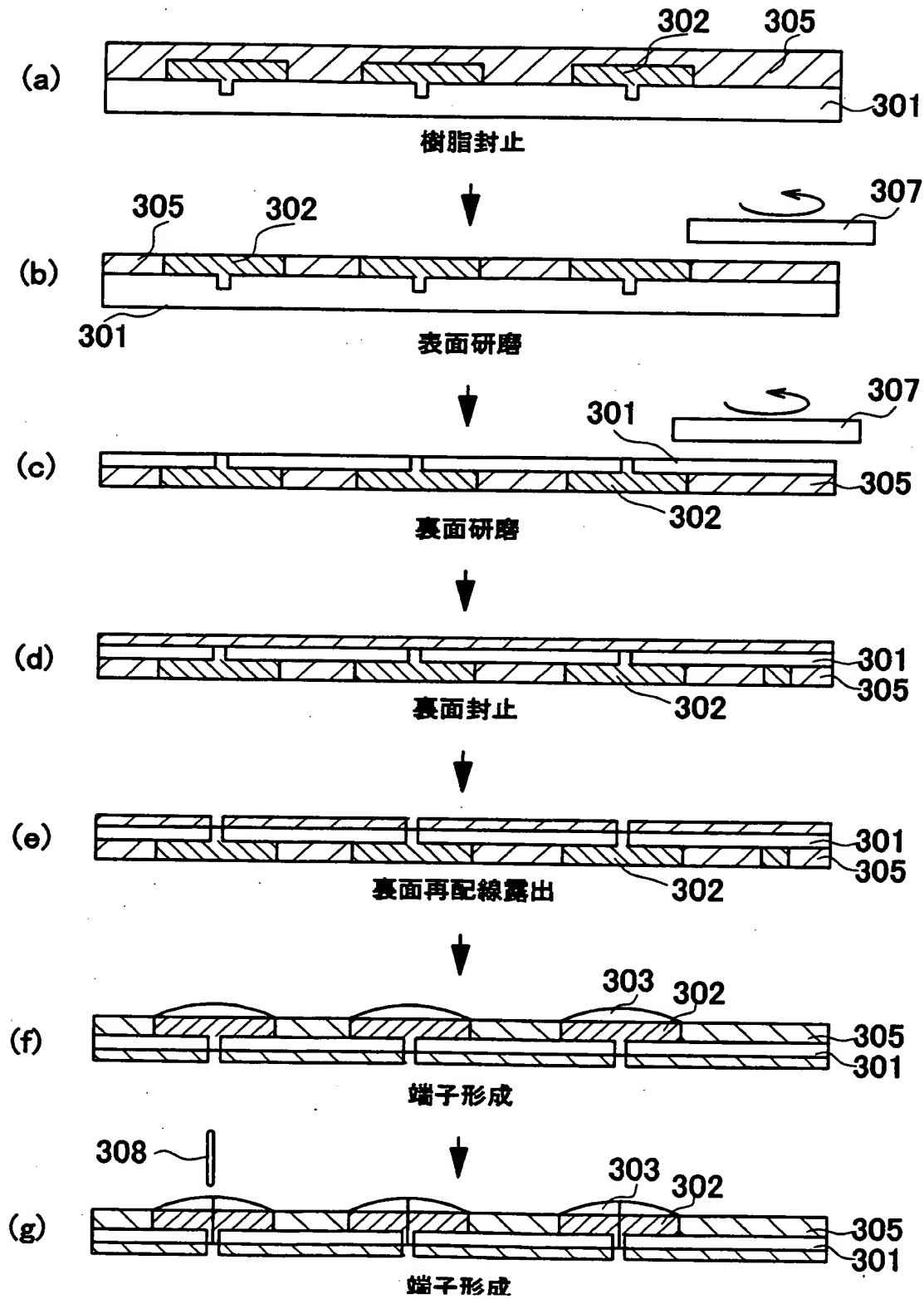
【図 1 3】



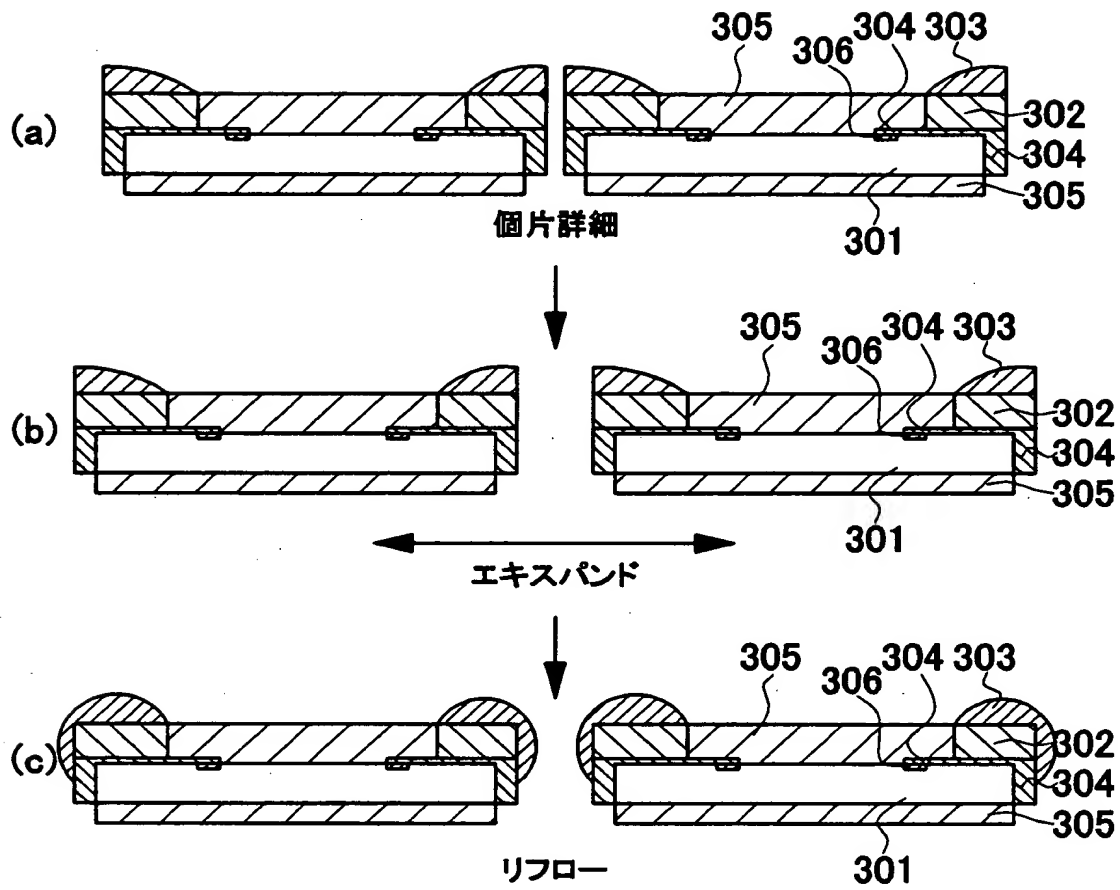
【図 1 4】



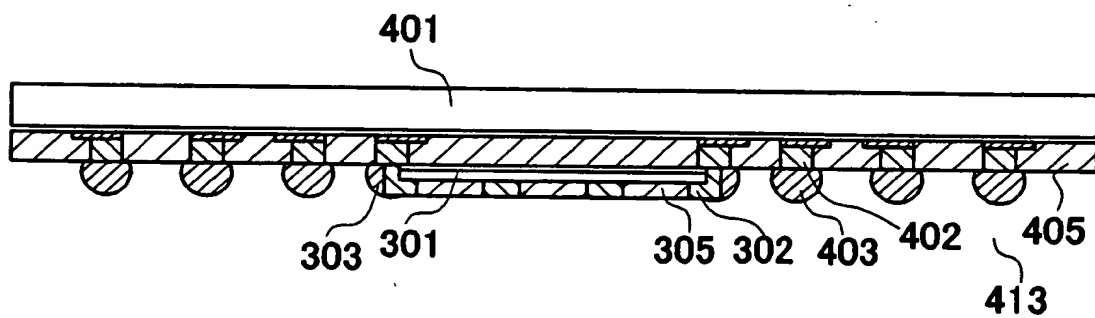
【図 1 5】



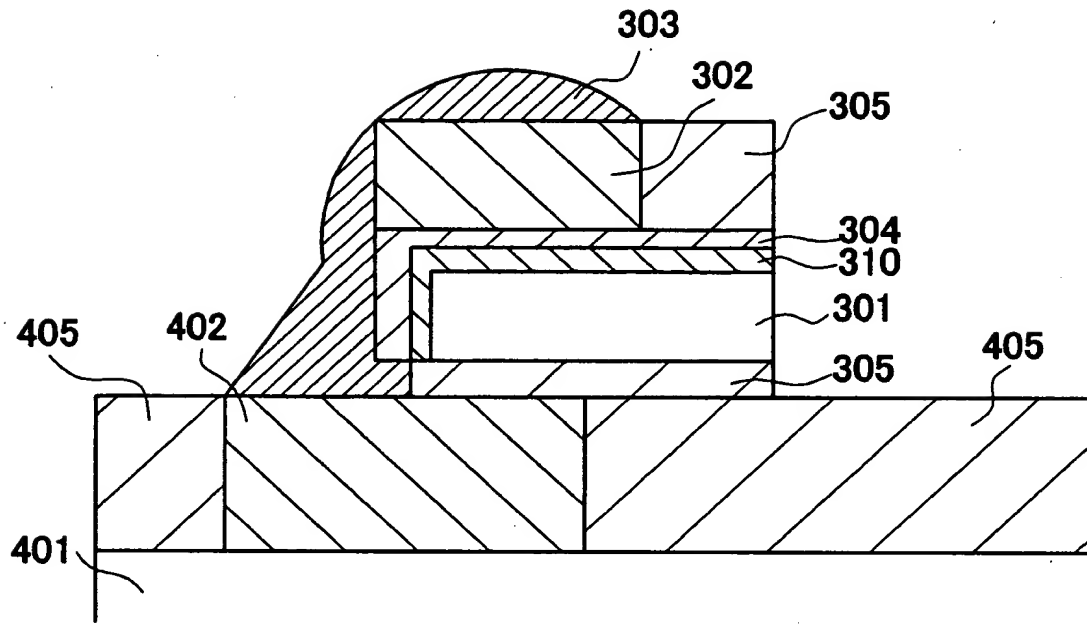
【図 16】



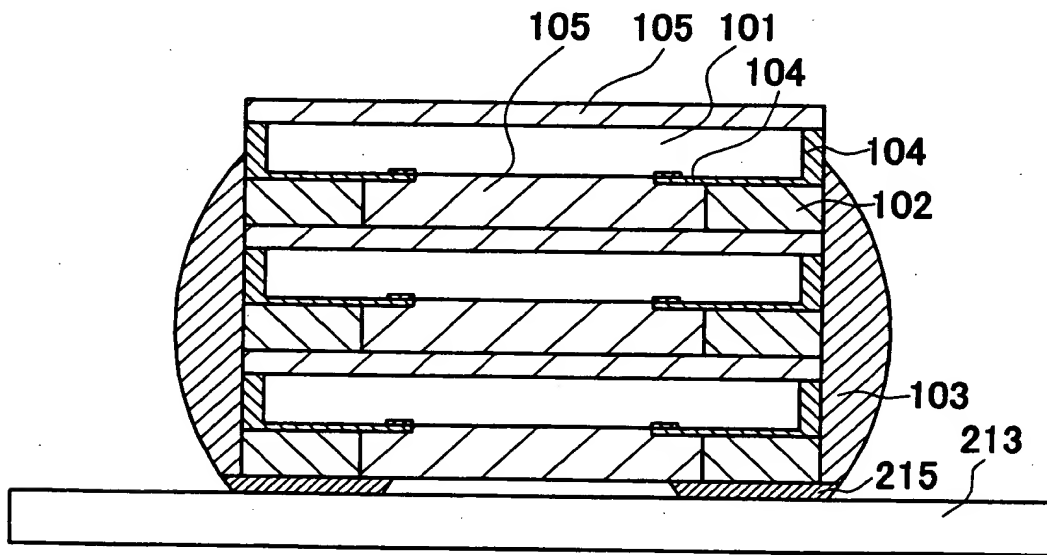
【図 17】



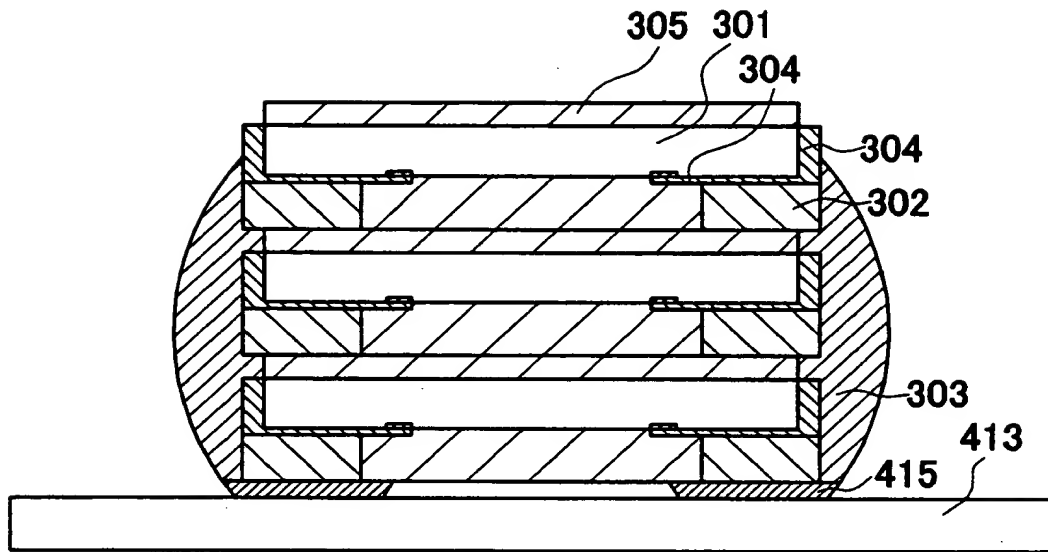
【図 1 8】



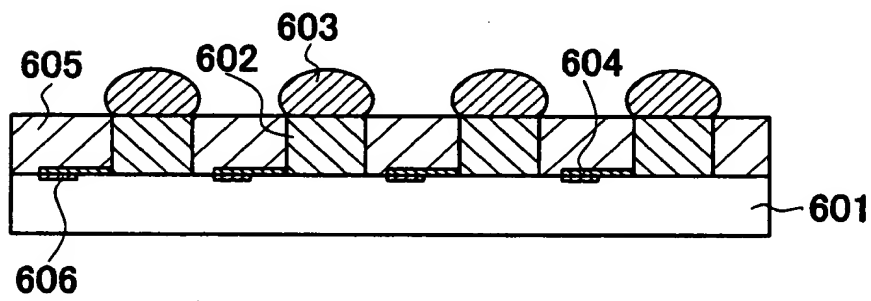
【図 1 9】



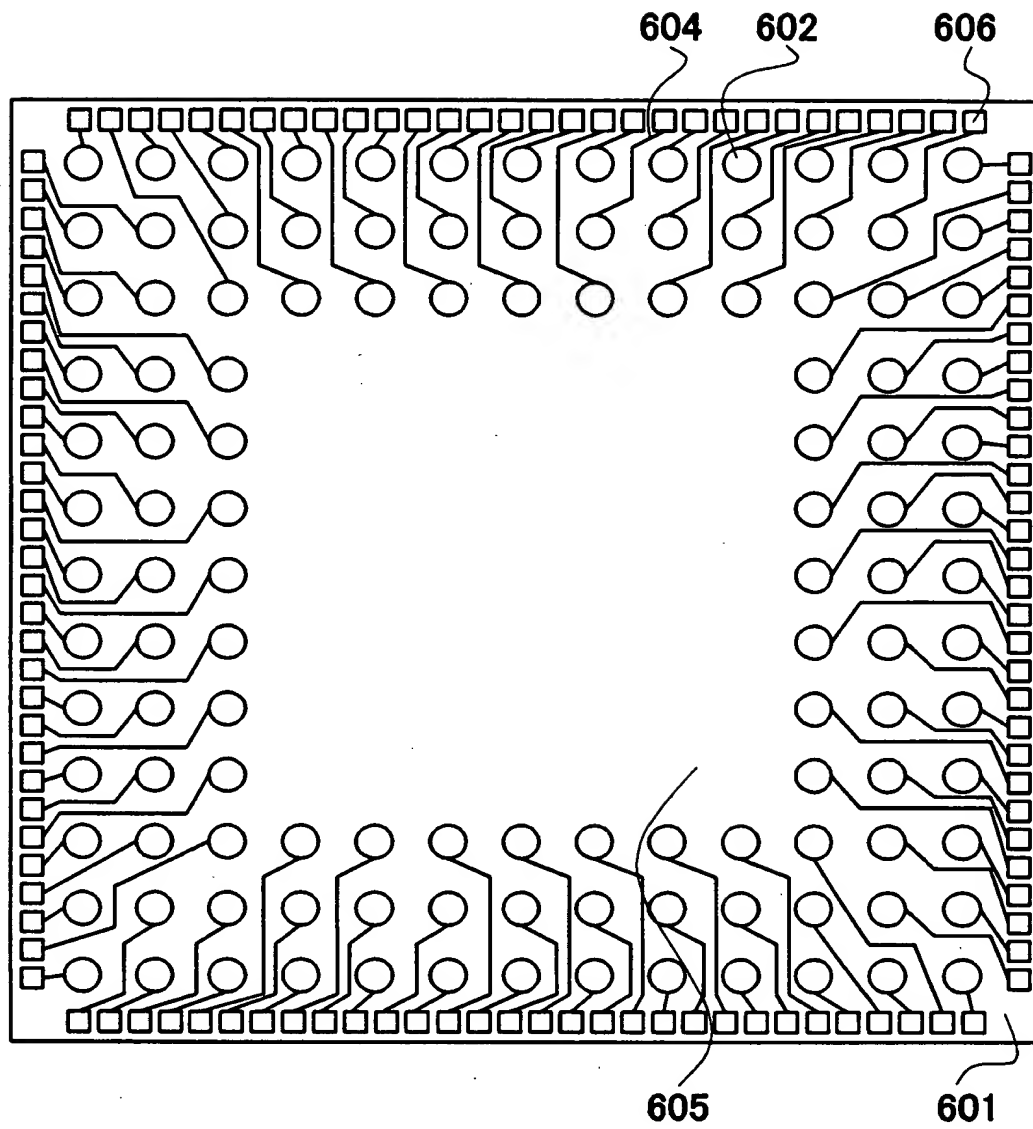
【図 2 0】



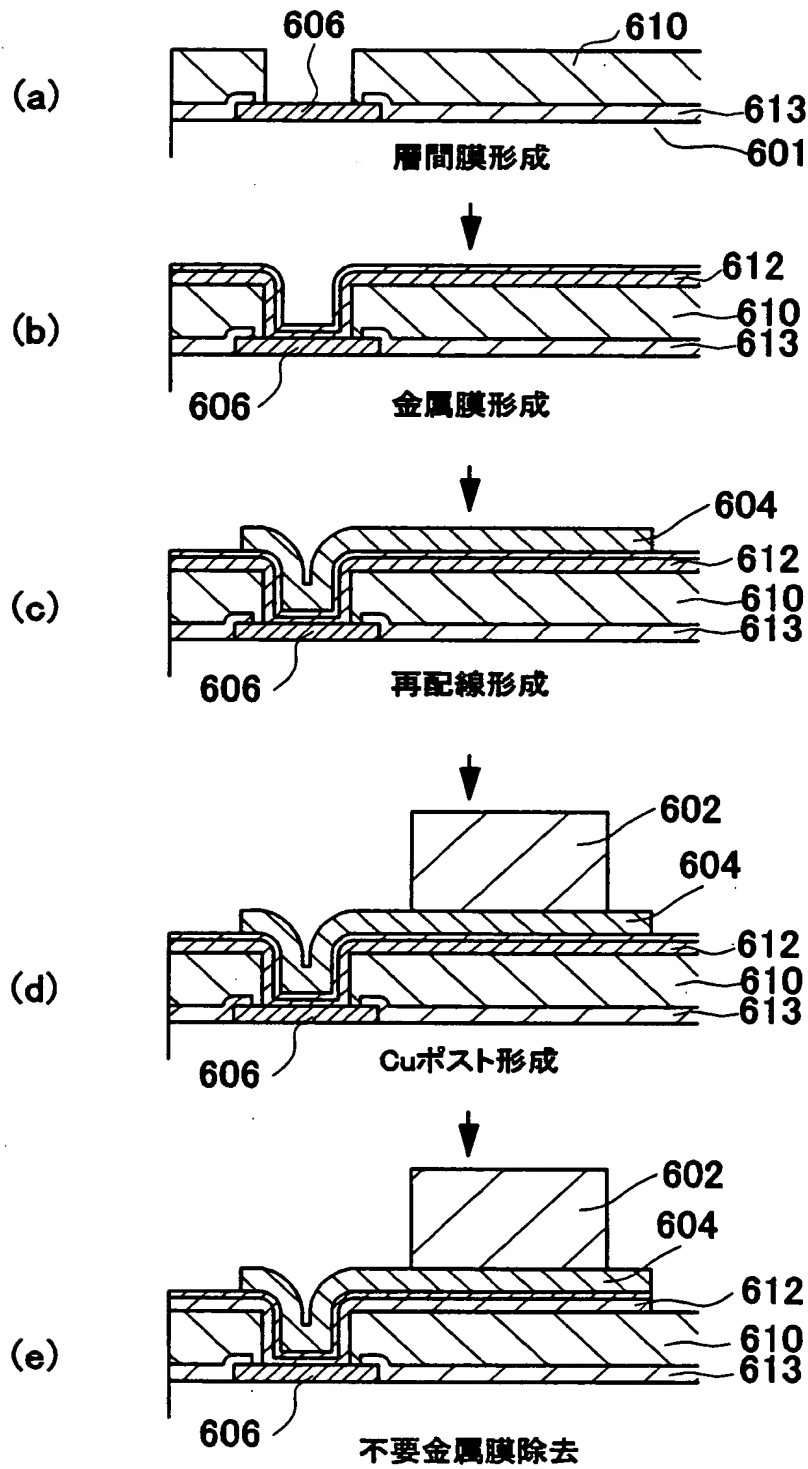
【図 2 1】



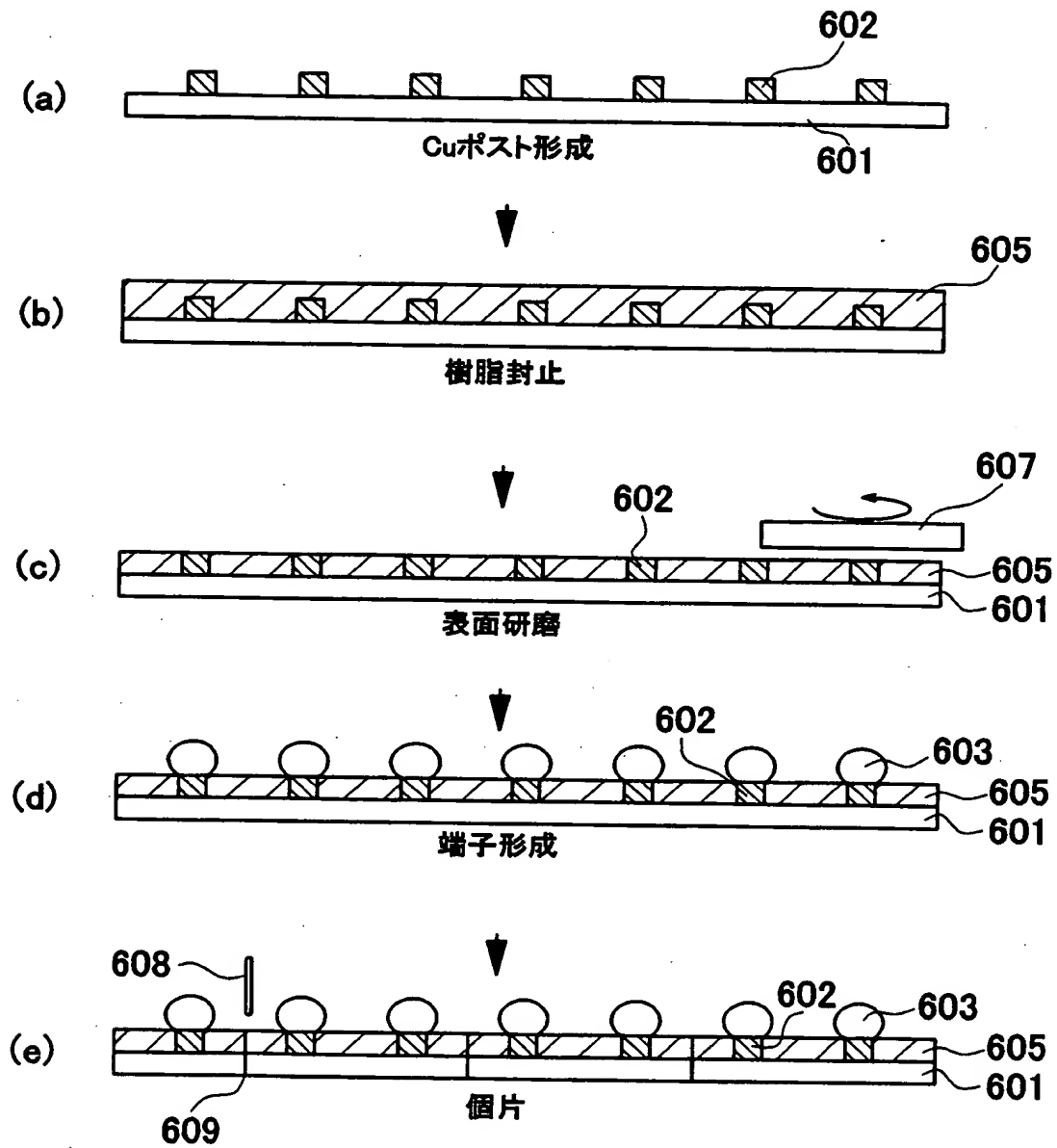
【図 2 2】



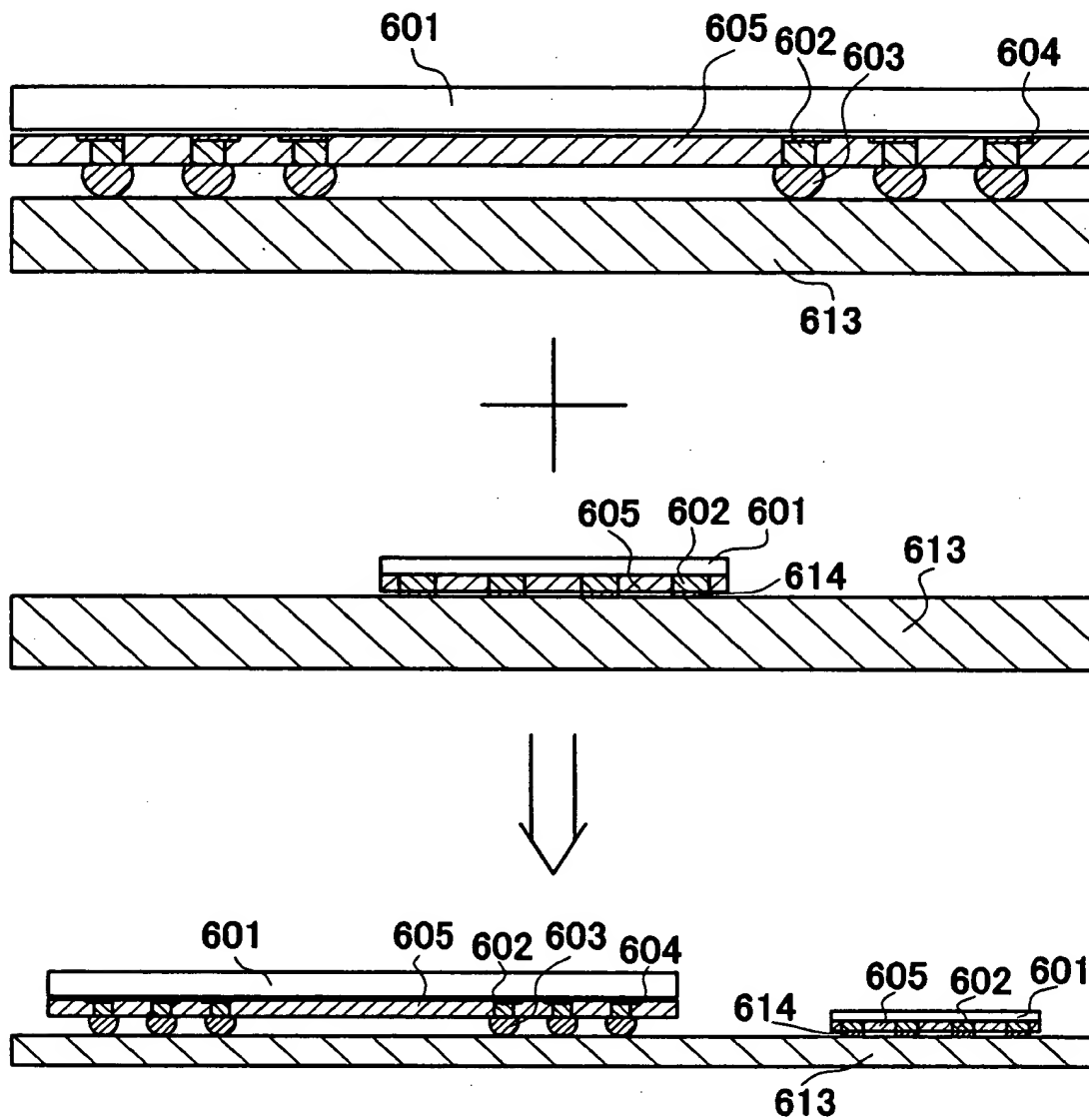
【図 2 3】



【図 24】



【図 25】



【書類名】 要約書

【要約】

【課題】 半導体装置の面積を増大させることなく、機能の異なる半導体素子を混載することが可能な半導体素子及びその製造方法等を提供する。

【解決手段】 配線 1 0 4 の一部は、半導体素子 1 0 1 の側面にも形成され、かつ、突起電極 1 0 2 は、その側面が半導体素子 1 0 1 の側面に形成された配線 1 0 4 と略同一面上になるように形成されると共に、ボール電極 1 0 3 の少なくとも一部は、半導体素子側面の配線 1 0 4 と電氣的に接続するように形成されており、及び、半導体素子側面は、配線 1 0 4 を露出させて樹脂封止されると共に、回路形成面の対向面は樹脂封止される。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000000295]

1. 変更年月日 1990年 8月22日
[変更理由] 新規登録
住 所 東京都港区虎ノ門1丁目7番12号
氏 名 沖電気工業株式会社